

PAT-NO: JP363004636A
DOCUMENT-IDENTIFIER: JP 63004636 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: January 9, 1988

INVENTOR-INFORMATION:
NAME
FUKAZAWA, TAKESHI
TAKAHASHI, OSAMU

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
HITACHI VLSI ENG CORP	N/A
HITACHI LTD	N/A

APPL-NO: JP61146915
APPL-DATE: June 25, 1986

INT-CL (IPC): H01L021/60
US-CL-CURRENT: 257/723

ABSTRACT:

PURPOSE: To avoid soft errors induced by the creation of α -particles (α -beam) by a method wherein the main surfaces of the respective semiconductor chips of the outermost part are so arranged as to face each other and insulation is provided between the respective semiconductor chips and the input/output electrodes of the respective semiconductor chips are connected to the leads for electrical connection with an external device by tape carriers.

CONSTITUTION: The main surfaces 1A and 3A of 1st and 2nd semiconductor chips 1 and 3 are so arranged as to face each other and insulating adhesive

5 is

provided between them and the protruding electrodes 1B and 3B of the respective

1st and 2nd semiconductor chips 1 and 3 are connected to the leads 6 and 7 for

electrical connection with an external device by tape carriers 2 and 4. With

this constitution, the respective main surfaces 1A and 3A of the 1st and 2nd

semiconductor chips 1 and 3 are so arranged as to face each other and the back

surfaces of the 1st semiconductor chip 1 and the 2nd semiconductor chip 3 are

made to face to the direction of the package of a multi-chip module so that

soft errors induced by the creation of α -particles (α -beam) can be

avoided.

COPYRIGHT: (C)1988, JPO&Japio

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-4636

⑤Int. Cl. 4

識別記号

庁内整理番号

④公開 昭和63年(1988)1月9日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全 4 頁)

⑤発明の名称 半導体装置

②特 願 昭61-146915

②出 願 昭61(1986)6月25日

②発 明 者 深 澤 武 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

②発 明 者 高 橋 収 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦出 願 人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町1448番地

⑦出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦代理人 弁護士 小川 勝男 外1名

明細書

1. 発明の名称

半導體裝置

2. 特許請求の範囲

1. 複数の半導体チップを有するテープキャリア方式の半導体装置であって、前記複数の半導体チップのうち最外側部の半導体チップの主面がそれぞれ対向するように重ね合わせられ、各半導体チップ間に絶縁体が介在され、各半導体チップの入出力電極と外部装置との電気的接続用のリードとをテープキャリアで接続したことを特徴とする半導体装置。

2. 前記絶縁体は、絶縁性の接着剤から成ることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記テープキャリアは、ポリミド等の樹脂フィルムにアルミニウム（Al）、銅（Cu）等から成る配線を蒸着して設けたことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の半導体チップを搭載した半導体装置に係り、特に、高密度実装技術に適用して有効な技術に関するものである。

〔従来の技術〕

複数の半導体チップを搭載した半導体装置（以下、マルチチップモジュールという）は、半導体から成る配線基板に、フリップ・チップ方式によって、複数の半導体チップが平面的に電気的に接続される。このようにマルチチップモジュールにおいては、搭載される半導体チップの数が増えると、配線基板上の半導体チップ搭載用面積が大きくなるという問題があった。

そこで、複数の半導体チップを搭載した配線基板と外部機器に接続されるリードとを電氣的に接続してなるマルチチップモジュールにおいて、前記半導体チップの一つの入出力電極（パッド）と配線基板の入出力端子（パッド）とを突起電極で接続し、該半導体チップに第2半導体チップを重ねて設け、該第2半導体チップの入出力電極と配

線基板の入出力端子とをボンディングワイヤで接続することにより、半導体装置の実装密度の向上と、マルチチップモジュールの小型化をはかったものが先に提案された(む8301353)。

(発明が解決しようとする問題点)

しかしながら、かかる技術を検討した結果、前記マルチチップモジュールの半導体チップでは、その半導体チップ主面と第2半導体チップ主面がそれぞれマルチチップモジュールのパッケージ側に対向して設けられているため、前記パッケージの材料中に含まれるトリウム(Th)、ウラン(U)等の放射性元素の α 崩壊により α 粒子(α 線)が発生され、この α 粒子によって、ダイナミック・ランダム・アクセス・メモリ(DRAM)等で構成される半導体チップのメモリ内部の記憶が消滅されてしまう等のソフトエラーが発生するという問題点を見出した。

本発明の目的は、半導体装置の実装密度を向上することが可能な技術を提供することにある。

本発明の他の目的は、半導体装置の電気的信頼

性を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

すなわち、複数の半導体チップを有するテーブルキャリア方式の半導体装置であって、前記複数の半導体チップのうち最外側部の半導体チップの主面がそれぞれ対向するように重ね合わせられ、各半導体チップ間に絶縁体が介在され、各半導体チップの入出力電極と外部装置との電気的接続用のリードとをテーブルキャリアで接続したものである。

(作用)

前記した手段によれば、複数の半導体チップを有するテーブルキャリア方式の半導体装置であって、前記複数の半導体チップのうち最外側部の半導体チップの主面がそれぞれ対向するように重ね合せ

られ、各半導体チップ間に絶縁体が介在され、各半導体チップの入出力電極と外部装置との電気的接続用のリードとをテーブルキャリアで接続したことにより、複数の半導体チップを重ね合わせて立体的に実装するので、半導体装置の実装密度を向上することがきる。

また、複数の半導体チップのうち、最外側の半導体チップがそれぞれ対向するように重ね合わされ、半導体チップの裏面がマルチチップモジュールのパッケージ側に対向するようになっているため、 α 粒子(α 線)の発生によるソフトエラーの発生を防止することができるので半導体装置の電気的信頼性を向上することができる。

以下、本発明を一実施例とともに説明する。

なお、全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

(実施例1)

第1図及び第2図は、本発明の一実施例1のマルチチップモジュールを説明するための図であり、

第1図は、そのマルチチップモジュールの概略構成を示す模写断面図、

第2図は、第1図に示す外部装置との電気的接続用のリードの構成を示す斜視図、

本実施例1のマルチチップモジュールは、第1図に示すように、第1半導体チップ1の主面1Aに突起電極1Bを介してポリミド等の樹脂フィルムにアルミニウム(Al)、銅(Cu)等から成る配線を蒸着して成るキャリアテープ2の配線2Aに電気的に接続される。前記第1半導体チップ1の主面1Aは、配線、メモリ素子及び論理素子等を設けた領域、半田等からなる突起電極1B等が設けられている。

また、第1図に示す第2半導体チップ3も前記第1半導体チップ1と同様に、第2半導体チップ3の主面3Aに突起電極3Bを介してキャリアテープ4の配線4Aに電気的に接続される。前記第2半導体チップ3の主面3Aは、前記第1半導体チップ1と同様に、配線、メモリ素子及び論理素子等を設けた領域、半田等からなる突起電極3B

等が設けられている。

前記第1半導体チップ1と前記第2半導体チップ3とは、その主面1A、3Aが向い合って絶縁性の接着剤5で接着されている。そして、前記第1半導体チップ1及び前記第2半導体チップ3に接続された前記キャリアテープ2、4の配線2A、4Aは、外部装置との電氣的接続用のリード6、7に突起電極6A、7Aを介して電氣的に接続される。

また、前記リード6、7は、第2図に示すように、高さ方向にそれぞれ別の寸法で設けられ、千鳥状に構成される。

そして、第1図に示すように、レジソ等の封止材8で封止された構成となっている。

なお、前記第1半導体チップ1と前記第2半導体チップ3との間に介在させた絶縁性の接着剤5の中にシールド板等を設けてもよい。

以上の説明からわかるように、この実施例1によれば、次の効果を奏することができる。

(1) 第1半導体チップ1及び第2半導体チップ

3の主面1A、3Aがそれぞれ対向するように重ね合わせられ、第1半導体チップ1及び第2半導体チップ3間に絶縁性の接着剤5が介在され、各第1半導体チップ1及び第2半導体チップ3の突起電極1B、3Bと外部装置との電氣的接続用のリード6、7とをテープキャリア2、4で接続したことにより、第1半導体チップ1及び第2半導体チップ3の主面1A、3Aがそれぞれ対向するように重ね合わされ、第1半導体チップ1及び第2半導体チップ3の裏面がマルチチップモジュールのパッケージ側に対向するようになっているため、 α 粒子(α 線)の発生によるソフトエラーの発生を防止することができるので、マルチチップモジュールの電氣的信頼性を向上させることができる。

(2) 第1半導体チップ1及び第2半導体チップ3を重ね合せて立体的に実装するのでマルチチップモジュールの実装密度を向上することができる。

〔実施例Ⅱ〕

第3図は、本発明の実施例Ⅱのマルチチップモジュールの概略構成を示す模写断面図である。

本実施例Ⅱのマルチチップモジュールは、第3図に示すように、前記実施例Ⅰのマルチチップモジュールの第1半導体チップ1の上に絶縁性の接着剤5を介して第3半導体チップ9を設け、この第3半導体チップ9の主面9Aに突起電極9Bを介してキャリアテープ10の配線膜面10Aに電氣的に接続される。

前記第3半導体チップ9に接続された前記キャリアテープ10の配線10Aは、外部装置との電氣的接続用のリード11に突起電極11Aを介して電氣的に接続される。このように三重構造にすることにより、さらにマルチチップモジュールの実装密度を向上することができる。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

(1) 複数の半導体チップのうち最外側部の半導体チップの主面がそれぞれ対向するように重ね合わせられ、各半導体チップ間に絶縁体が介在され、各半導体チップの入出力電極と外部装置との電氣的接続用のリードとをテープキャリアで接続したことにより、複数の半導体チップのうち、最外側の半導体チップがそれぞれ対向するように重ね合わされ、半導体チップの裏面がマルチチップモジュールのパッケージ側に対向するようになっているため、 α 粒子(α 線)の発生によるソフトエラーの発生を防止することができるので、半導体装置の電氣的信頼性を向上させることができる。

(2) 複数の半導体チップを重ね合せて立体的に実装するので半導体装置の実装密度を向上することができる。

4. 図面の簡単な説明

第1図は、本発明の半導体装置をマルチチップモジュールに適用した概略構成を示す模写断面図、

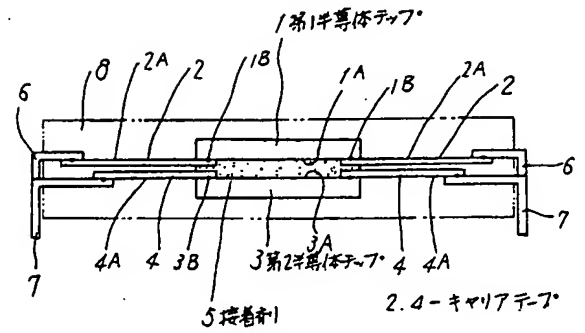
第2図は、第1図に示す外部装置との電氣的接

続用のリードの構成を示す斜視図、

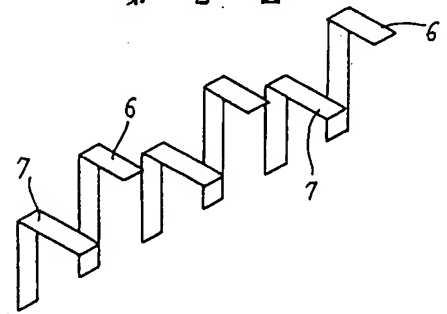
第3図は、本発明の実施例Ⅱのマルチチップモジュールの概略構成を示す模写断面図である。

図中、1…第1半導体チップ、1A…主面、1B…突起電極、2…テープキャリア、2A…配線、3…第2半導体チップ、3A…主面、3B…突起電極、4…テープキャリア、4A…配線、5…絶縁性の接着剤、6、7…外部装置との電気的接続用のリード、6A、7A…突起電極、8…封止材、9…第2半導体チップ、9A…主面、9B…突起電極、10…テープキャリア、10A…配線、11…外部装置との電気的接続用のリード、11A…突起電極である。

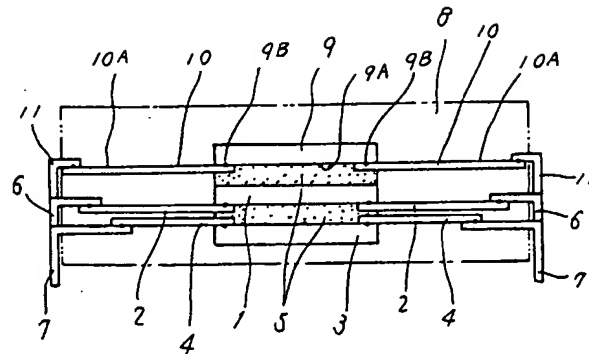
第 1 図



第 2 図



第 3 図



代理人 弁理士 小川勝男